

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-036169

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

G06F 9/38

G06F 1/32

G06F 13/38

G06F 15/16

G06F 15/78

(21)Application number : 2001-224305

(71)Applicant : NEC SOFTWARE TOHOKU LTD
YOSHIOKA YOSHIO

(22)Date of filing : 25.07.2001

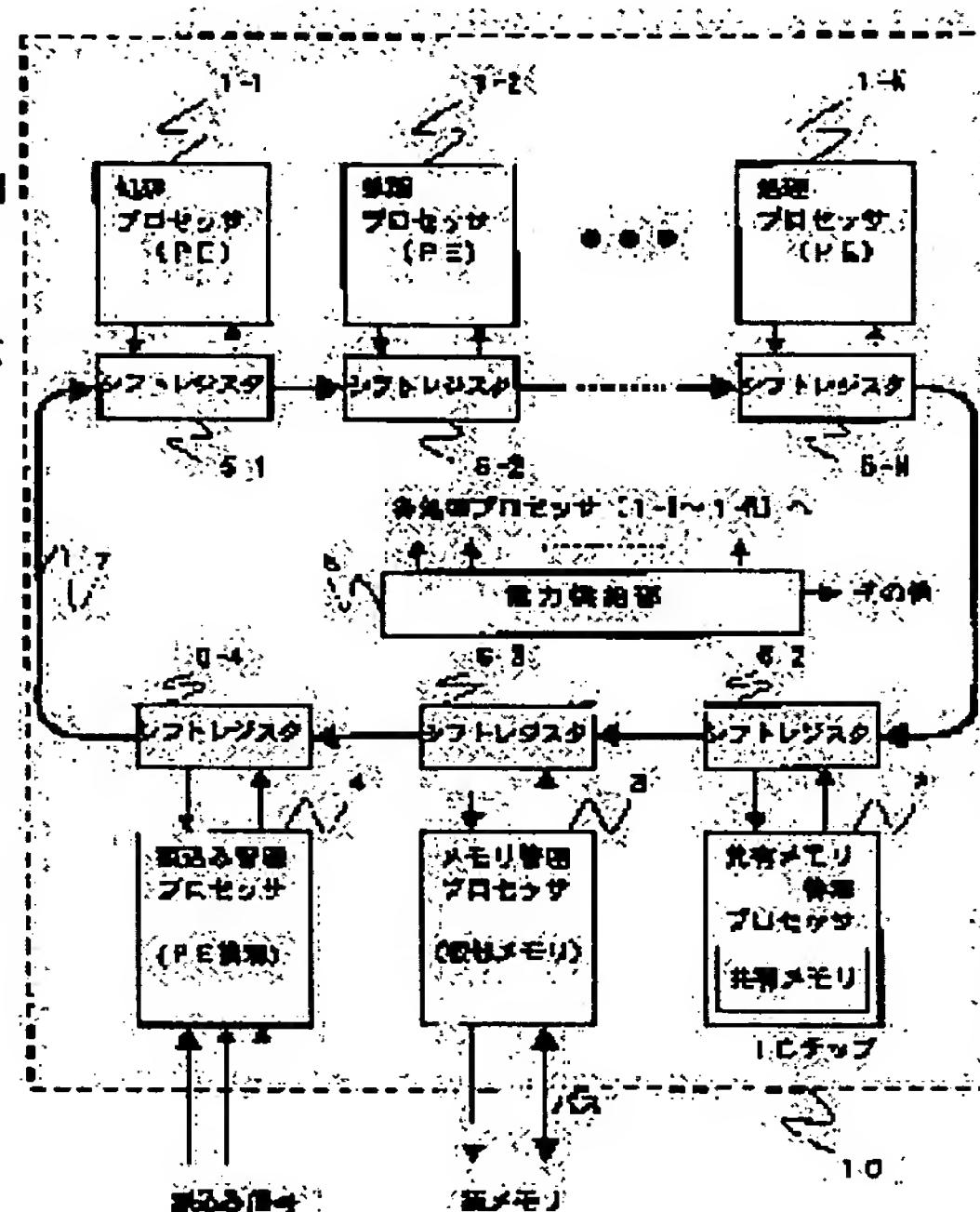
(72)Inventor : YOSHIOKA YOSHIO

(54) SINGLE CHIP MICROPROCESSOR FOR PERFORMING PARALLEL PROCESSING BY A PLURALITY OF SMALL-SCALE PROCESSORS

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high-speed processing though the size of an IC chip is equal to that of a conventional one.

SOLUTION: Processing processors 1-N for performing tasks, shared memory management processors 2 having a shared memory, a memory management processor 3 connected with an external real memory to form a virtual memory to deliver/receive data and having a cache memory for temporarily recording a program and an interruption management processor 4 for receiving an interruption signal from outside and managing the operating state of the processing processors respectively have a small function and a small scale, are connected through a communication transmission line 7 and shift registers 5-1 to -N and 6-2 to -4 to transfer information by a fixed length packet and performs parallel operation asynchronously. Furthermore, an elasticity supply part 8 capable of cutting off power to be supplied to each processing processor is provided.



LEGAL STATUS

[Date of request for examination] 14.11.2002

[Date of sending the examiner's decision of rejection] 24.08.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-18233

[Date of requesting appeal against examiner's decision of rejection] 22.09.2005

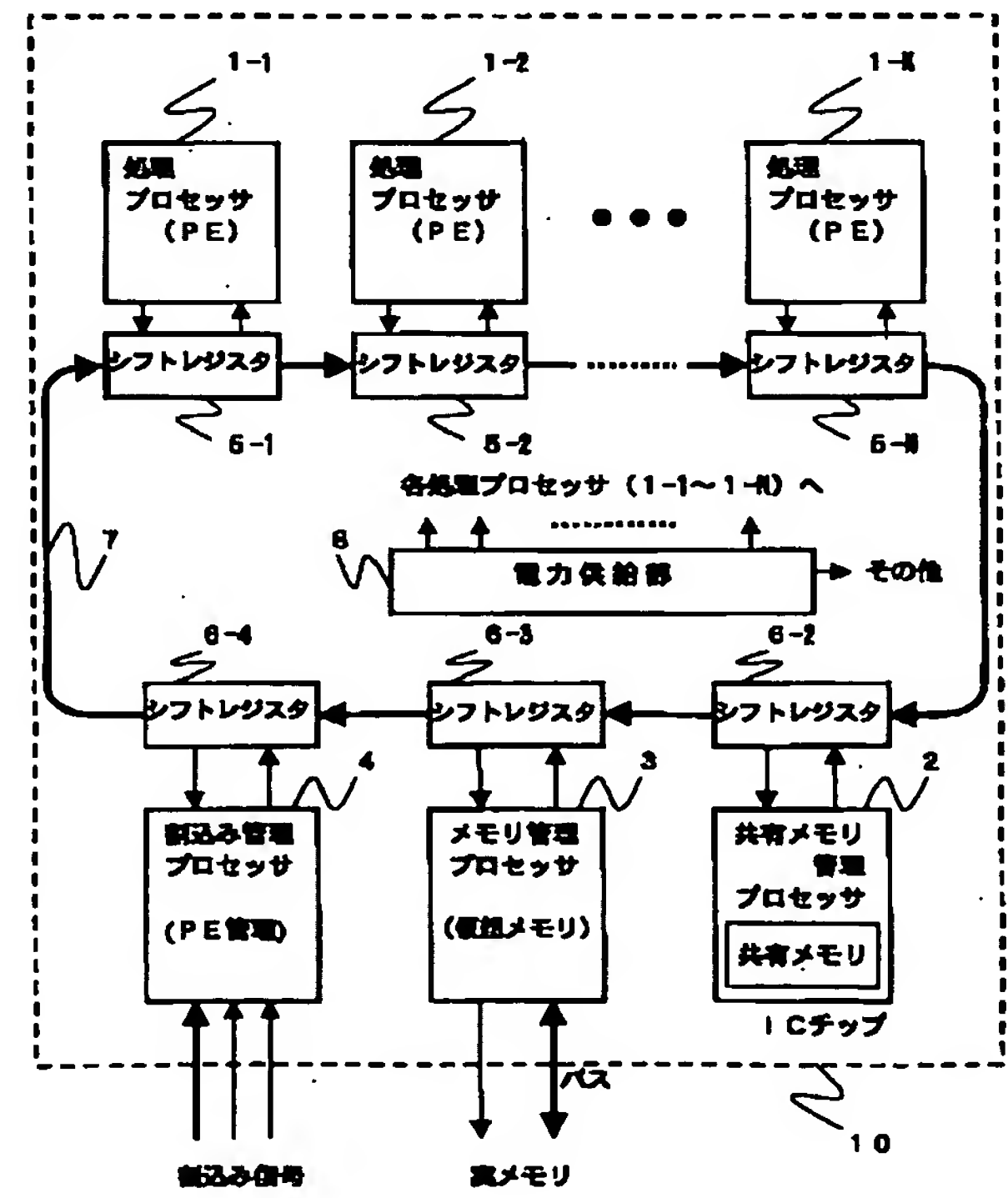
[Date of extinction of right]

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 6 F 9/38	3 7 0	G 0 6 F 9/38	3 7 0 X 5 B 0 1 1
1/32		13/38	3 4 0 C 5 B 0 1 3
13/38	3 4 0	15/16	6 1 0 F 5 B 0 4 5
15/16	6 1 0		6 4 0 A 5 B 0 6 2
	6 4 0	15/78	5 1 0 G 5 B 0 7 7
審査請求 有 請求項の数 9 O L (全 9 頁) 最終頁に続く			

(21)出願番号	特願2001-224305(P2001-224305)	(71)出願人	000222059 東北日本電気ソフトウェア株式会社 宮城県仙台市青葉区一番町一丁目10番23号
(22)出願日	平成13年 7 月25日(2001. 7. 25)	(71)出願人	591088582 吉岡 良雄 青森県南津軽郡大鰐町大字長峰字駒木沢 421番地192号
		(72)発明者	吉岡 良雄 青森県南津軽郡大鰐町大字長峰字駒木沢 421番地192号
		(74)代理人	100071272 弁理士 後藤 洋介 (外 1 名)
		最終頁に続く	

(54)【発明の名称】 複数の小規模プロセッサによって並列処理を行なうシングルチップマイクロプロセッサ

(57)【要約】
【課題】 従来同等の大きさの I Cチップにも拘わらず一層の高速処理を可能にできる。
【解決手段】 タスクを実行する処理プロセッサ 1 - N、共有するメモリを有する共有メモリ管理プロセッサ 2、外部の実メモリと接続して仮想メモリを形成しデータを授受すると共にプログラムを一時記録するキャッシュメモリを有するメモリ管理プロセッサ 3、および割込み信号を外部から受け入れると共に処理プロセッサの稼動状態を管理する割込み管理プロセッサ 4それぞれが小機能および小規模でありかつ通信用伝送路 7およびシフトレジスタ 5 - 1 ~ - N、6 - 2 ~ - 4 で連結して固定長パケットにより情報転送しており、非同期で並列動作している。また、処理プロセッサごとに供給する電力を遮断できる弾力供給部 8 を備えている。



【特許請求の範囲】

【請求項 1】 機能的に分散した複数のプロセッサと、当該プロセッサそれぞれを接続するシフトレジスタと、当該シフトレジスタそれぞれを単方向でループ状に接続する通信用伝送路とを備え、当該通信用伝送路を用いて固定長パケットにより前記シフトレジスタ間で情報を交換するものであって、複数の前記プロセッサそれぞれは基本構成のみで小規模化されており、少なくとも一つの小規模プロセッサが外部の実メモリと接続して仮想メモリを形成しデータを授受することを特徴とするシングルチップマイクロプロセッサ。

【請求項 2】 機能的に分散した複数のプロセッサを備え、当該プロセッサそれぞれをシフトレジスタにより単方向でループ状に接続し、前記シフトレジスタを用いて前記プロセッサ間で固定長パケットによる情報を交換する並列処理コンピュータであって、複数の前記プロセッサそれぞれは基本構成のみで小規模化されており、少なくとも一つの前記小規模プロセッサが外部の実メモリと接続して仮想メモリを形成しデータを授受することを特徴とするシングルチップマイクロプロセッサ。

【請求項 3】 請求項 1 または請求項 2 において、すべての上記構成要素は一つの IC（集積回路）チップに備えられることを特徴とするシングルチップマイクロプロセッサ。

【請求項 4】 請求項 1 または請求項 2 において、機能的に分散した前記プロセッサとして共有メモリ管理プロセッサ、メモリ管理プロセッサ、割込み管理プロセッサ、および複数の処理プロセッサを備え、前記共有メモリ管理プロセッサは前記処理プロセッサの共有するメモリを有し、前記メモリ管理プロセッサは外部の実メモリと接続して仮想メモリを形成しデータを授受すると共にプログラムを一時記録するキャッシュメモリを有し、前記割込み管理プロセッサは割込み信号を外部から受け入れると共に前記処理プロセッサの稼働状態を管理し、かつ残るプロセッサが前記処理プロセッサとして所定のタスクを実行することを特徴とするシングルチップマイクロプロセッサ。

【請求項 5】 請求項 4 において、共有メモリ管理プロセッサ、メモリ管理プロセッサ、および割込み管理プロセッサそれぞれは複数の備えられることを特徴とするシングルチップマイクロプロセッサ。

【請求項 6】 機能的に分散した複数のプロセッサと、当該プロセッサそれぞれを接続するシフトレジスタと、当該シフトレジスタそれぞれを単方向でループ状に接続する通信用伝送路とで形成されるものであって、複数の前記プロセッサそれぞれは基本構成のみで小規模化され、かつすべての上記構成要素は一つの IC（集積回路）チップに備えられ、機能的に分散した前記プロセッサとして共有メモリ管理プロセッサ、メモリ管理プロセッサ、割込み管理プロセッサ、および複数の処理プロセ

ッサを備え、前記プロセッサの一つは前記処理プロセッサの共有するメモリを有する共有メモリ管理プロセッサとし、また前記プロセッサの他の一つは外部の実メモリと接続して仮想メモリを形成しデータを授受すると共にプログラムを一時記録するキャッシュメモリを有するメモリ管理プロセッサとし、また他の一つのプロセッサは割込み信号を外部から受け入れると共に前記処理プロセッサの稼働状態を管理する割込み管理プロセッサとし、かつ残りの前記プロセッサはタスクを実行する処理プロセッサとして、それぞれ備えられ、前記通信用伝送路および前記シフトレジスタを用いて前記プロセッサ間で交換する情報は固定長パケットであることを特徴とするシングルチップマイクロプロセッサ。

【請求項 7】 請求項 1、請求項 2 または請求項 6 において、前記固定長パケットは、パケットの種別、パケットの宛先プロセッサ番号、パケットの発信元プロセッサ番号、パケットの番号、および 8 バイトのデータ領域を有することを特徴とするシングルチップマイクロプロセッサ。

【請求項 8】 請求項 1 または請求項 6 において、前記複数の小規模プロセッサそれぞれは、自己が起動を受けて稼働する際のみ電源の供給を受けることを特徴とするシングルチップマイクロプロセッサ。

【請求項 9】 請求項 8 において、前記複数の小規模プロセッサの中の少なくとも一つを管理プロセッサとし、当該管理プロセッサの一つが、プロセッサ起動のためのパケットを送出する場合のみ、このパケットの宛先プロセッサへ電力供給するため制御信号を発することを特徴とするシングルチップマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一つの IC（集積回路）チップに形成されるマイクロプロセッサに関し、特に、従来同等の大きさの IC チップにも拘わらず一層の高速処理を可能にできるシングルチップマイクロプロセッサに関する。

【0002】シングルチップマイクロプロセッサとしては、主として単機能のマイクロプロセッサおよびメモリを組み合わせるシステムを構成するものが知られている。この形態において最も単純なワンチップ構成のマイクロコンピュータでは、通常、一つのプログラムカウンタにより強制実行するノイマン型コンピュータが基本とされている。

【0003】本発明ではこのワンチップに形成されるマイクロプロセッサを対象にする。

【0004】

【従来の技術】従来、ノイマン型コンピュータを基本としたマイクロプロセッサには、例えば図 8 に示される IC（集積回路）チップ 100 がある。

【0005】ここで、図 8 および図 9 を併せ参照して I

Cチップ100内部における信号およびデータの伝達タイミングについて説明する。

【0006】ICチップ100の制御部101は、データを保持するレジスタ102にゲート開信号を送出する。ゲート開信号は伝送遅延をもってレジスタ102に到着する。レジスタ102は内部のゲートを開いて保持するデータを内部バス103へ送出する。ゲートが開く動作に時間を要し遅延が生じる。内部バス103へ送出されたデータは、データを受けるレジスタ104のゲートに、内部バス103の長さ分による遅延をもって到着する。レジスタ104は制御部101から送られるラッチ信号により到着したデータを取り込むこととなる。

【0007】すなわち、制御部101がゲート開信号を送出した後ラッチ信号を送出するまでの時間が、50%クロックパルスのほぼ中央となる。従って、レジスタ102とレジスタ104とがICチップ100内部の両端に配置されていた場合、動作クロック周期の「1/4」でなければならないことが分かる。この結果、100ps周期のクロックで動作させる場合、一辺が5mm以下のICチップでなければならない。

【0008】

【発明が解決しようとする課題】上述した従来のマイクロプロセッサでは、ICチップ内の伝送遅延が存在するので高速化処理のためにはICチップの一層の小型化を必要とするというような問題点がある。

【0009】このような遅延を考慮した高速化技術として、命令の実行中に次の命令語をメモリから取り出す命令パイプライン処理機構がある。しかしながら、この場合、分岐命令の実行または割り込み処理の発生によって、パイプライン内の命令を消去するなどの手続きが必要となるので、性能を低下させることが避けられない。

【0010】本発明の課題は、このような問題点を解決し、従来同等の大きさのICチップにも拘わらず一層の高速処理ができるシングルチップマイクロプロセッサを提供することである。

【0011】

【課題を解決するための手段】本発明によるシングルチップマイクロプロセッサは、機能的に分散した複数の小規模なプロセッサと、当該プロセッサそれぞれを接続するシフトレジスタと、当該シフトレジスタそれぞれを単方向でループ状に接続する通信用伝送路とを備え、当該通信用伝送路を用いて固定長パケットにより前記シフトレジスタ間で情報を交換するものであって、少なくとも一つの前記小規模プロセッサが外部の実メモリと接続して仮想メモリを形成しデータを授受することを特徴としている。

【0012】また、本発明による別のシングルチップマイクロプロセッサは、機能的に分散した複数の小規模なプロセッサを備え、当該プロセッサそれぞれをシフトレジスタにより単方向でループ状に接続し、前記シフトレ

ジスタを用いて前記プロセッサ間で固定長パケットによる情報を交換する並列処理コンピュータであって、少なくとも一つの前記小規模プロセッサが外部の実メモリと接続して仮想メモリを形成しデータを授受することを特徴としている。

【0013】このようなマイクロプロセッサは、複数のプロセッサそれぞれが、ループ状に通信用伝送路で連結して並列動作しかつ固定長パケットにより情報転送することに加え、少なくとも一つの前記小規模プロセッサが外部の実メモリと接続して仮想メモリを形成しデータを授受するため、小機能化および小規模化を可能とし、かつ従来と同等の大きさのICチップで一層の高速動作を可能としている。従って、シングルチップマイクロプロセッサ全体の小型化構造をも可能としている。

【0014】また本発明によるシングルチップマイクロプロセッサの具体的な手段の一つでは、すべての上記構成要素は一つのIC（集積回路）チップに備えられている。

【0015】また、前記プロセッサは、機能的に分散した前記プロセッサとして共有メモリ管理プロセッサ、メモリ管理プロセッサ、割り込み管理プロセッサ、および複数の処理プロセッサを備えている。共有メモリ管理プロセッサは前記処理プロセッサの共有するメモリを有する。また、メモリ管理プロセッサは外部の実メモリと接続して仮想メモリを形成しデータを授受すると共にプログラムを一時記録するキャッシュメモリを有する。また、割り込み管理プロセッサは割り込み信号を外部から受け入れると共に前記処理プロセッサの稼動状態を管理する。かつ、残りの前記プロセッサとなる処理プロセッサは所定のタスクを実行する。前記通信用伝送路および前記シフトレジスタを用いて前記プロセッサ間で交換する情報は固定長パケットである。

【0016】更に、前記固定長パケットは、パケットの種別、パケットの宛先プロセッサ番号、パケットの発信元プロセッサ番号、パケットの番号、および8バイトのデータ領域を有している。

【0017】また、前記複数の小規模プロセッサそれぞれは、自己が起動を受けて稼動する際のみ電源の供給を受けることが望ましい。具体化された一つは、前記複数の小規模プロセッサの中の少なくとも一つを管理プロセッサとし、当該管理プロセッサの一つが、プロセッサ起動のためのパケットを送出する場合のみ、このパケットの宛先プロセッサへ電力供給するため制御信号を発することである。この結果無駄な電力消費を回避することができる。

【0018】また、上述されたシングルチップマイクロプロセッサでは、各処理プロセッサそれぞれが与えられた命令を処理するので、複数の処理プロセッサのうち、少数が故障しても動作機能を満足できるという、いわゆるフォールト・トレラント機能を有している。処理プロ

セッサ以外でも、外部との接続路を有するなどして、複数の小規模プロセッサに機能に対応させることによりその冗長度を増加させることができる。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0020】図1は本発明の実施の一形態を示すブロック図である。図1に示されたシングルチップマイクロプロセッサでは、ICチップ10にN個の処理プロセッサ（PE）1-1～1-N、共有メモリ管理プロセッサ2、メモリ管理プロセッサ3、割込み管理プロセッサ4、N個のシフトレジスタ5-1～5-Nおよび3個のシフトレジスタ6-2～6-4、並びに通信用伝送路7および電力供給部8が搭載されている。

【0021】i番目の処理プロセッサ1-iはシフトレジスタ5-iと接続される。共有メモリ管理プロセッサ2、メモリ管理プロセッサ3、および割込み管理プロセッサ4それぞれはシフトレジスタ6-2～6-4それぞれと接続される。通信用伝送路7は、シフトレジスタ5-1～5-Nに続いてシフトレジスタ6-2～6-4それぞれが順次シリアルにループ状に接続されている。

【0022】電力供給部8は、外部から受ける電源を上記各プロセッサに分配し供給する一方でゲートを有し、休止状態、故障中などで電力の供給不要なプロセッサには電力の供給を遮断することができる。

【0023】図示されるシングルチップマイクロプロセッサでは、シリコンICの技術面において、シフトレジスタを10GHz以上のクロックで動作させ、シリアル転送を実施するものとする。しかし、バイトシリアル転送でも、またはパケット長分のパラレル転送を行ってもよい。パラレル転送の場合には上述したより低速なクロックを用いることができる。また、シフトレジスタと各小規模プロセッサとの間のパケット交換部分は、シフトレジスタによる転送の部分を含めて基本的にハードウェアで実現することとする。なお、このパケット交換部分はパケット交換専用プロセッサで実現することは可能である。

【0024】次に、図1および図2を併せ参照して構成要素の小規模小機能のプロセッサそれぞれについて説明する。図2は図1で示せない部分を補足した図である。

【0025】処理プロセッサ（PE）1は、内部メモリにキャッシュメモリ11を有して先取り実行を行なうと共に、スタック領域12も有しており、サブルーチンコールの戻り番地の格納、レジスタ内容の一時退避、動的変数領域等に利用する。この処理プロセッサ1は、割込みおよびプロセッサ管理を行なう割込み管理プロセッサ4から起動パケットを受け取り、そのパケットに入っている実行開始番地から取り出した命令を実行するプロセッサである。処理プロセッサ1は、メモリ管理プロセッサ3に対してメモリ読出しパケットを送り、キャッシュ

メモリ13に格納された命令を自己内部のキャッシュメモリ11に読み込んでそのプログラムを実行する。一連の処理が終れば、割込み管理プロセッサ4に対して終了パケットを送る。また、子タスクを実行する場合においても、割込み管理プロセッサにタスク実行要求パケットを送る。なお、リセット後の処理プロセッサ1は休止状態となる。

【0026】共有メモリ管理プロセッサ2は、各プロセッサから読み書き可能な配列領域および情報交換のための共有メモリを有している。

【0027】メモリ管理プロセッサ3は、メモリインターリーブ方式を採用して、外部の実メモリとアドレスバスおよびデータバスで形成されるバスにより接続されて仮想メモリを形成しており、処理プロセッサ1から命令読出しパケットを受けた際には、その指定番地から1ブロック分の命令を順次読み出してキャッシュメモリ13に一時記録し、パケット発信元の処理プロセッサ1に宛てて転送する。

【0028】割込み管理プロセッサ4は、上述したように割込みおよびプロセッサ管理のためのプロセッサである。従って、割込み管理プロセッサ4は、処理プロセッサ1が処理中状態か休止状態であるかを状態テーブル14により管理している。すなわち、外部からの割込み信号、または処理プロセッサ1からのタスク実行要求パケットによって、休止状態の処理プロセッサ1を探して、その処理プロセッサ1に対して起動パケットを送る。なお、リセット時には、割込み管理プロセッサ4は各処理プロセッサ1の故障などを含む状況を把握して状態テーブル14に記録する。また、割込み処理は休止状態の処理プロセッサに割り当てる。なお、休止状態の処理プロセッサがない場合、割込み処理のための待ち行列を作る。この構成により割込み処理に移るための複雑なハードウェアが不用である。

【0029】更に、割込み管理プロセッサ4は、状態テーブル14により処理プロセッサ1を管理しているので、電力供給部8に通知して、故障中および休止中の処理プロセッサ1への電力供給を遮断するなどの制御ができる。具体的な一つは、上述する割込み管理プロセッサ4が、電力供給部8に通知して、休止状態の処理プロセッサ1に対して電力供給を遮断する一方、選択決定した際に電力供給したのち起動パケットを送出することである。

【0030】次に、図3を参照して各プロセッサ間に転送されるパケット形式について説明する。

【0031】図示されるように、パケットは先頭からパケットの種類（FCC）と宛先のプロセッサ番号（DPE）と発信元のプロセッサ番号（SPE）とパケットに付与する番号（NO）と8バイトのデータ（DT）領域とから形成されている。

【0032】図4に、パケット名に対応するパケット種

類（FCC）のコードとデータ（DT）の内容説明との一実施例を示す。

【0033】次に、図5に図1，2を併せ参照して、本発明によるシングルチップマイクロプロセッサの通信プロトコルに基づく初期化の動作手順について説明する。

【0034】各プロセッサはリセット信号を受付け（手順S1）すると、すべてのプロセッサが初期化（手順S2）される。従って、処理プロセッサ1は休止状態となるので、割込み管理プロセッサ4は状態テーブル14で全処理プロセッサ1-1～1-Nを休止状態に設定（手順S3）する。

【0035】次いで、割込み管理プロセッサ4は、各処理プロセッサ1の稼働状況として休止状態、故障状態などを把握するため、各処理プロセッサ1に対して故障診断パケットを送出（手順S4）する。故障診断パケットを受け取った処理プロセッサ1は自己の状態を、休止状態、故障状態などにより対応する応答パケットを形成して返送する。

【0036】割込み管理プロセッサ4は、この応答パケットを受付け（手順S6）した際、この受付け情報に従って状態テーブル14に個々の状態、例えば故障、休止を設定（手順S7）する。

【0037】次いで、割込み管理プロセッサ4は、休止状態の一つの処理プロセッサ（例えば）1-iに対して、リセット時の実行開始番地を含む起動パケットを送出（手順S8）すると共に、状態テーブル14の処理プロセッサ1-iを休止から処理中に更新設定（手順9）する。起動パケットを受け取った処理プロセッサ1-iは、その実行開始番地をプログラムカウンタに格納して処理を実行し、終了した際には終了パケットを返送する。

【0038】従って、割込み管理プロセッサ4は、終了パケットを受付け（手順S10）するので、状態テーブル14で該当する処理プロセッサ1-iを処理中から休止に更新設定（手順11）して手順を終了する。

【0039】上記手順S5が「YES」で所定時間経過しても応答パケットを受付けない場合には、割込み管理プロセッサ4は、状態テーブル14で該当する処理プロセッサ1-xを休止状態から故障状態に更新設定（手順S12）する。

【0040】次に、図6に図1，2を併せ参照して、上記初期化手順に続く割込み管理プロセッサ4の主要動作手順について説明する。

【0041】割込み管理プロセッサ4は、外部から割込み信号を受付け（手順S21のYES）した際、またはこの手順S21が「NO」で割込み信号を受付け待ちの最中に一つの処理プロセッサ（例えば）1-jからタスク実行要求を受付け（手順S22のYES）した際には、休止状態の一つの処理プロセッサ（例えば）1-kを選択決定（手順S23）する。次いで割込み管理プロ

セッサ4は、その割込み処理またはタスク処理の実行開始番地を含む起動パケットを送出（手順S24）すると共に状態テーブル14で該当処理プロセッサ1-kを処理中に設定（手順S25）する。次いで割込み管理プロセッサ4は、処理プロセッサ1-kの処理が終了したことにより終了パケットを受付け（手順S26のYES）するので、状態テーブル14で該当処理プロセッサ1-kを休止状態に設定（手順S27）して手順を終了する。

10 【0042】次に、図7に図1，2を併せ参照して、処理プロセッサ1の主要動作手順について説明する。

【0043】処理プロセッサ1は、割込み管理プロセッサ4から実行開始番地を含む起動パケットを受取り（手順S31）した際、受取った実行開始番地をプログラムカウンタに格納（手順S32）する。次いで、処理プロセッサ1は、内蔵するキャッシュメモリ11に命令がある場合（手順S33のYES）には、この命令を処理実行（手順S34）する。

20 【0044】また、処理プロセッサ1は、子タスクがありこれを実行する場合（手順S35のYES）において、割込み管理プロセッサ4にタスク実行要求パケットを送出（手順S36）した後、割込み管理プロセッサ4へ終了パケットを送出（手順S37）して、割込み管理プロセッサ4からの起動パケット待ち（手順S38）となる。

30 【0045】上記手順S33が「NO」で内部のキャッシュメモリ11に命令がない場合、処理プロセッサ1は、メモリ管理プロセッサ3へ命令読出しパケットを送出（手順S41）する。この結果、1ブロック分の命令を指定番地から受け取るので、処理プロセッサ1は、受取った命令をキャッシュメモリ11に読込み（手順S42）し、まだ、読み取る命令がある場合（手順S43のNO）には手順を上記手順S41へ戻して手順を繰り返す。

【0046】上記手順S43が「YES」で全命令を読込み済みの場合には上記手順S34に進む。また、上記手順S35が「NO」で子タスクがない場合には手順は上記手順S36を飛ばして手順S37へ進む。

40 【0047】以上説明したように、各種プロセッサは限定された機能を小規模で実現できると共に、複数のプロセッサが並列動作できるので、従来の大きさと機能を有するICチップのマイクロプロセッサでさらに高速化を実現することができる。

【0048】上記説明では、共有メモリ管理プロセッサ、メモリ管理プロセッサ、および割込み管理プロセッサそれぞれが一つずつ設けられているとしているが、予備的に複数個ずつを設けてもよい。また、各プロセッサは同一ハードウェアで構成することが望ましい。

50 【0049】更に、種々の処理プログラムを実行させるため、データフロー処理方式を実装し、単方向性回線で

ループ状に接続した並列処理コンピュータ（LSC：Loop Structured Computer）にも適用可能である。

【0050】上記説明では、図示されたブロックおよび手順を参照しているが、機能の分離併合による配分または手順の前後入替えなどの変更は上記機能を満たす限り自由であり、上記説明が本発明を限定するものではない。

【0051】

【発明の効果】以上説明したように本発明によれば、従来同等の大きさのICチップにも拘わらず一層の高速処理を可能にできるという効果を得ることができる。

【0052】その理由は、シングルチップマイクロプロセッサを形成する複数のプロセッサそれぞれが通信用伝送路およびシフトレジスタにより単方向でループ状に連結して非同期で並列動作するからであり、情報転送は、最小限長の固定長パケットにより実現しているからであり、更に、大容量メモリに外部の実メモリを利用するからである。

【0053】また、全体の小型化構造をも可能としている。その理由は、すべての上記構成要素が小規模のため、一つの小型化されたICチップに搭載することができるからである。

【0054】また、小規模プロセッサの一部に故障があっても動作を可能とするフォルト・トレラントという特徴を有している。その理由は、与えられた命令を処理できる処理プロセッサを複数有するからである。すなわち、故障のプロセッサに対してお互いに代替えして機能を処理できるからである。

【0055】また、シングルチップマイクロプロセッサとして省電力の特徴を有することができる。その理由は、電力供給部を有し、稼動するプロセッサに対してのみ電力を供給し、故障または休止中の状態のプロセッサには電力供給を遮断できるからである。

【0056】また、プロセッサが、タスクを実行する処理プロセッサ、共有するメモリを有する共有メモリ管理プロセッサ、外部の実メモリとデータを授受すると共にプログラムを一時記録するキャッシュメモリを有するメ

モリ管理プロセッサ、および割込み信号を外部から受け入れると共に処理プロセッサの稼動状態を管理する割込み管理プロセッサそれぞれに分散させることにより小機能化されているので、小型化と高速化とを無理なく実現できる。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示す機能構成図である。

【図2】図1の部分詳細の一形態を示す機能構成図である。

【図3】本発明で用いられる固定長パケットの実施の一形態を示す構成図である。

【図4】本発明に用いられるパケット名に対応するパケット種類コードとデータ説明内容との一例を示す図である。

【図5】図1における初期化手順の実施の一形態を示すフローチャートである。

【図6】図1の割込み管理プロセッサにおける主要動作手順の実施の一形態を示すフローチャートである。

【図7】図1の処理プロセッサにおける主要動作手順の実施の一形態を示すフローチャートである。

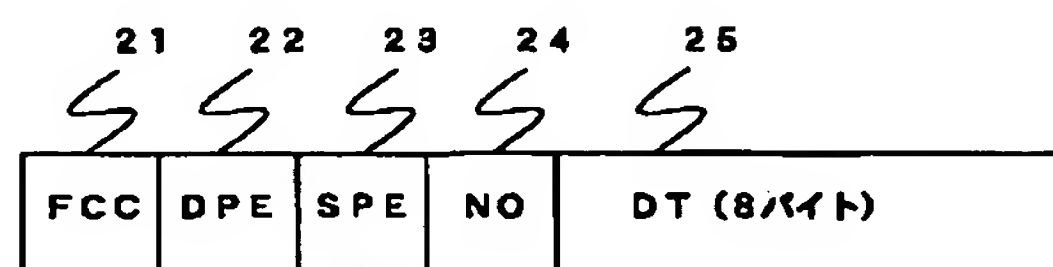
【図8】本発明に関連する一例を示す機能ブロック図である。

【図9】図8に係る信号とデータとの時間的關係の一例を示すタイムチャートである。

【符号の説明】

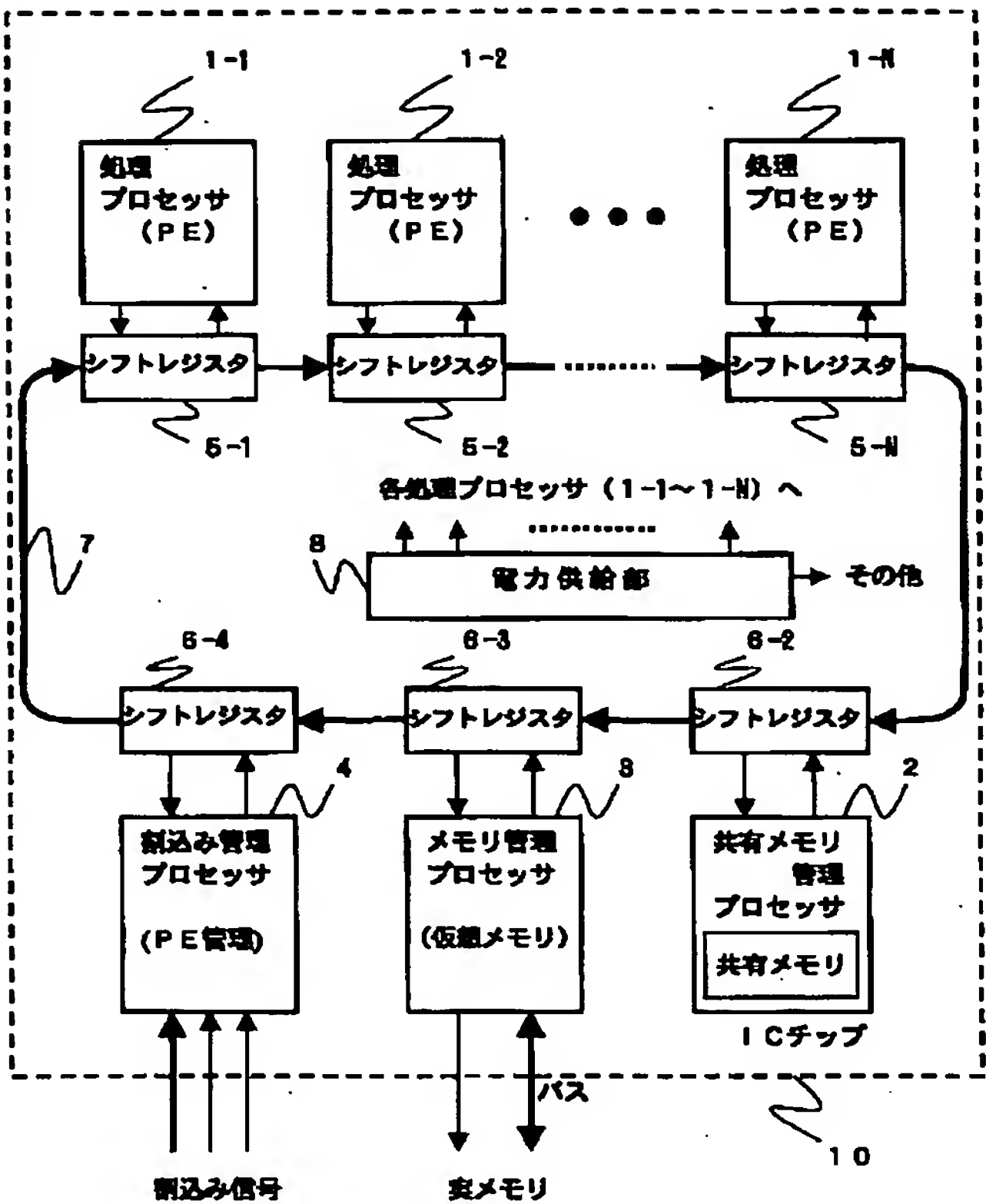
- 1、1-1、1-2、1-N 処理プロセッサ（PE）
- 2 共有メモリ管理プロセッサ
- 3 メモリ管理プロセッサ
- 4 割込み管理プロセッサ
- 5-1、5-2、5-N、6-2、6-3、6-4 シフトレジスタ
- 7 通信用伝送路
- 8 電力供給部
- 10 ICチップ

【図3】



FCC: パケット種類
DPE: 宛先プロセッサ番号
SPE: 発信元プロセッサ番号
NO: パケット番号
DT: データ

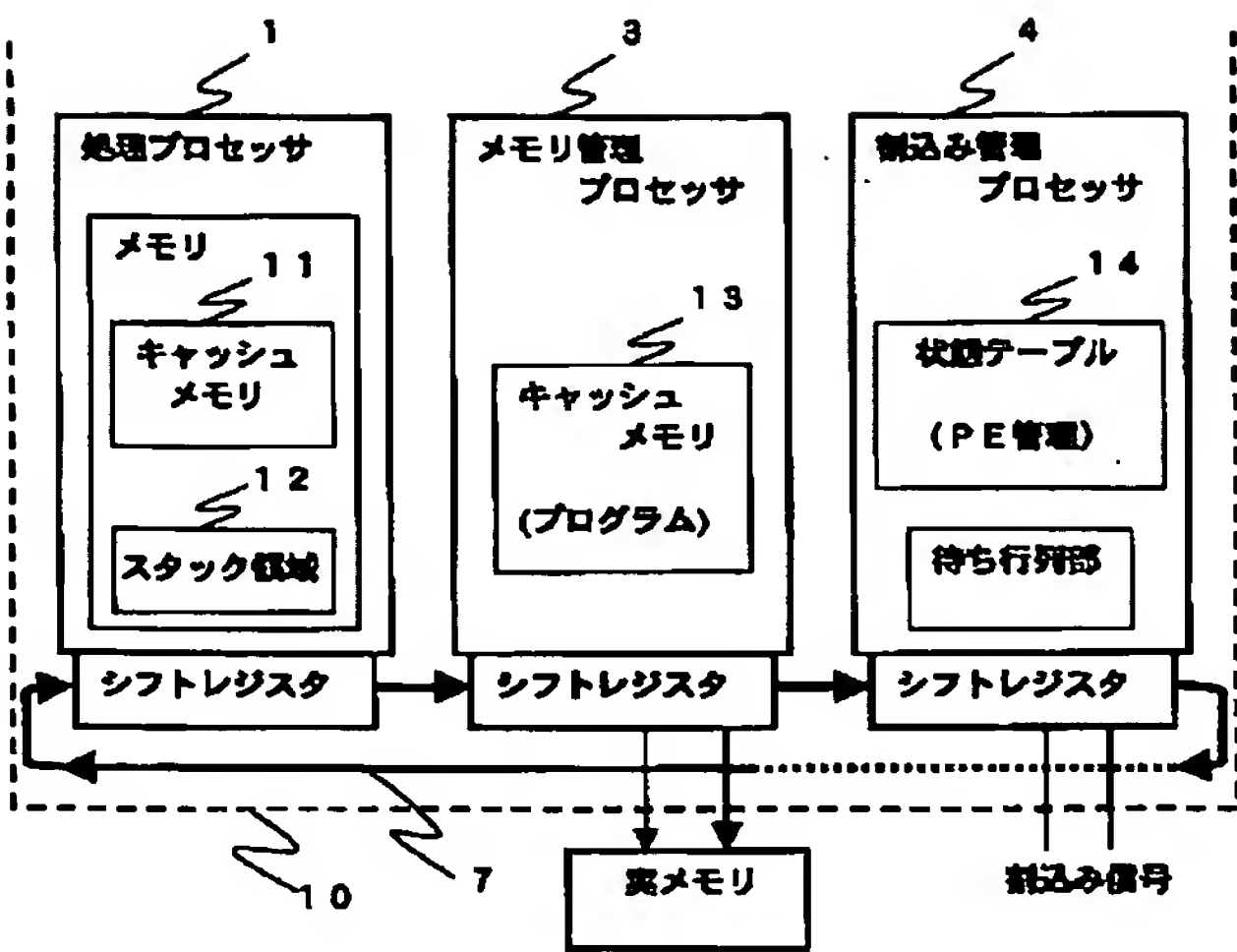
【図 1】



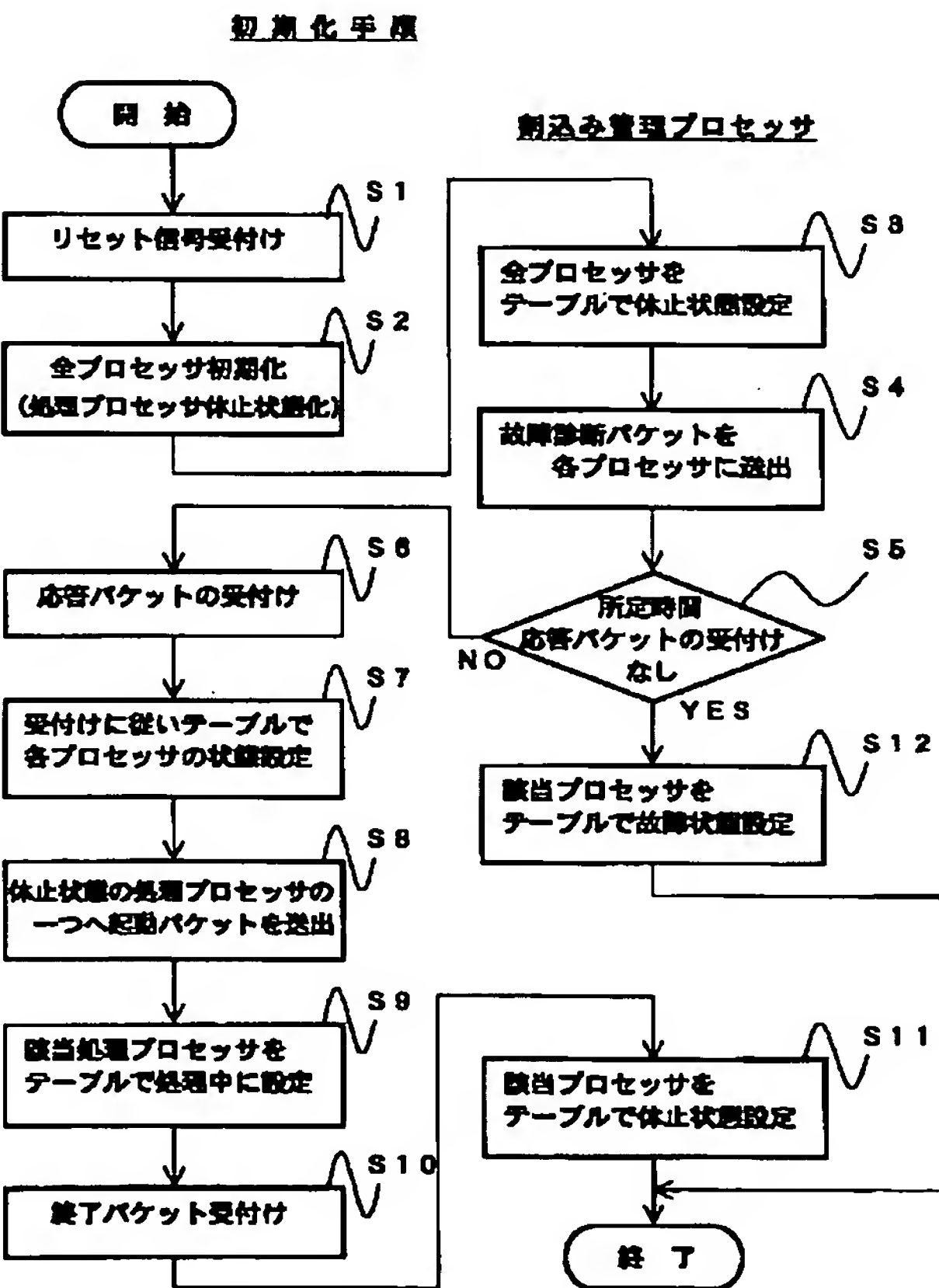
【図 4】

パケット名	FCC	DT
1. プロセッサ故障診断	0x70	
2. プロセッサ故障診断応答	0xf0	診断内容
3. 処理プロセッサ起動	0x71	開始番地 4 バイトと 引き数 4 バイト
4. 処理プロセッサ終了	0xf1	
5. 共有メモリ読み出し要求	0x72	データ読み出し番地 4 バイト
6. 共有メモリ読み出し応答	0xf2	データ読み出し番地 4 バイトと 読み出しデータ 4 バイト
7. 共有メモリ書き込み	0x73	データ書き込み番地 4 バイトと 書き込みデータ 4 バイト
8. 共有メモリ書き込み応答	0xf3	データ書き込み番地 4 バイトと 書き込みデータ 4 バイト
9. 機械語命令読み出し要求	0x74	読み出し番地 4 バイト
10. 機械語命令転送	0xf4	8 バイトの機械語命令
11. オペランドデータ読み出し要求	0x75	データ読み出し番地 4 バイト
12. オペランドデータ読み出し応答	0xf5	データ読み出し番地 4 バイトと 読み出しデータ 4 バイト
13. 外部実メモリへデータ読み出し要求	0x76	データ読み出し番地 4 バイト
14. 外部実メモリへデータ読み出し応答	0xf6	データ読み出し番地 4 バイト
15. 外部実メモリへデータ書き込み	0x77	データ書き込み番地 4 バイトと 書き込みデータ 4 バイト
16. 外部実メモリへデータ書き込み応答	0xf7	データ書き込み番地 4 バイトと 書き込みデータ 4 バイト
17. タスク実行要求	0x78	開始番地 4 バイトと 引き数 4 バイト
18. タスク実行応答	0xf8	開始番地 4 バイトと 引き数 4 バイト
19. プロセッサ強制初期化	0xee	
20. 要求拒否	0xff	
21. メンテナンス	0xe0	各プロセッサ内の メモリ内容読み出し
	0xe1	各プロセッサ内の メモリにデータ書き込み
	0xee	各プロセッサをリセット

【図 2】

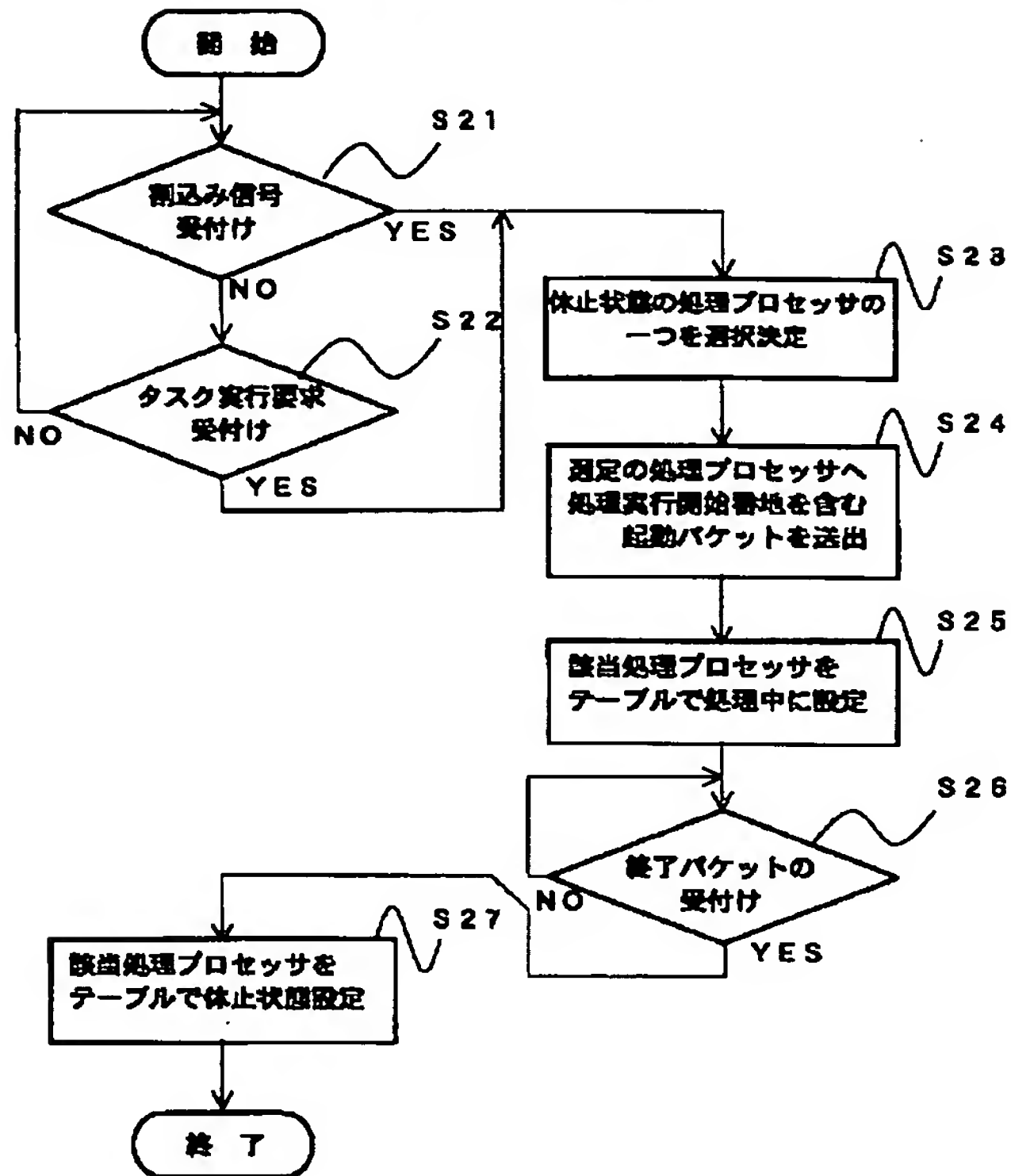


【図 5】

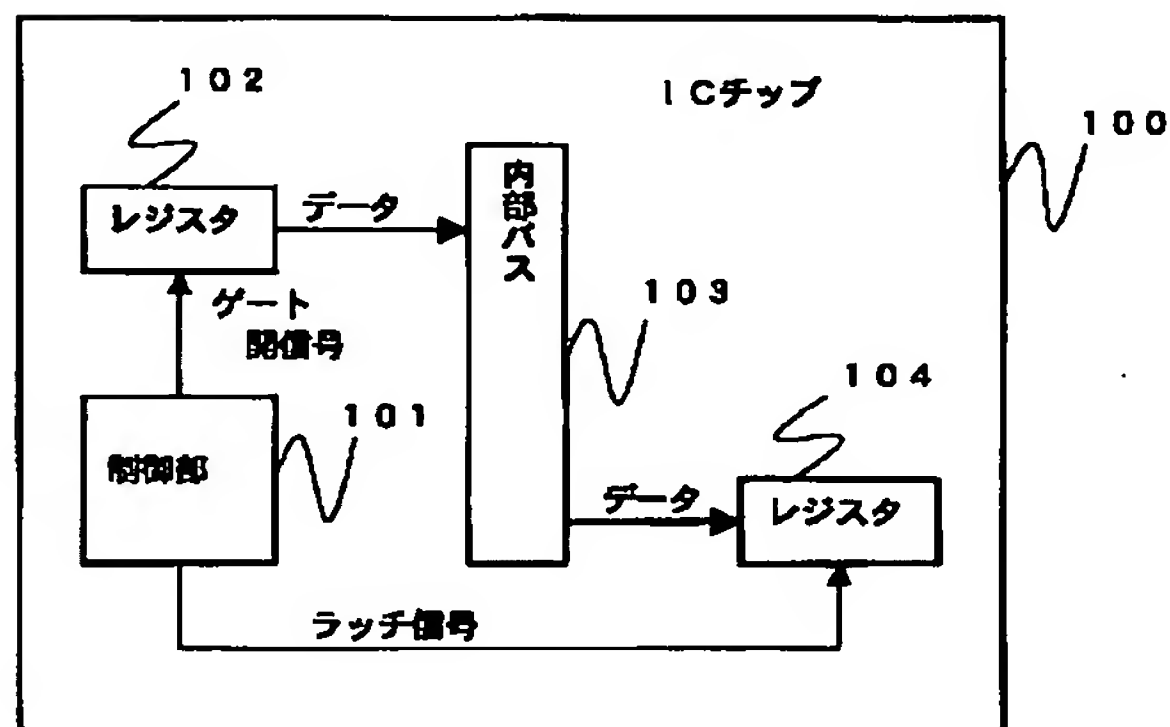


【図 6】

割込み管理プロセッサ動作手順

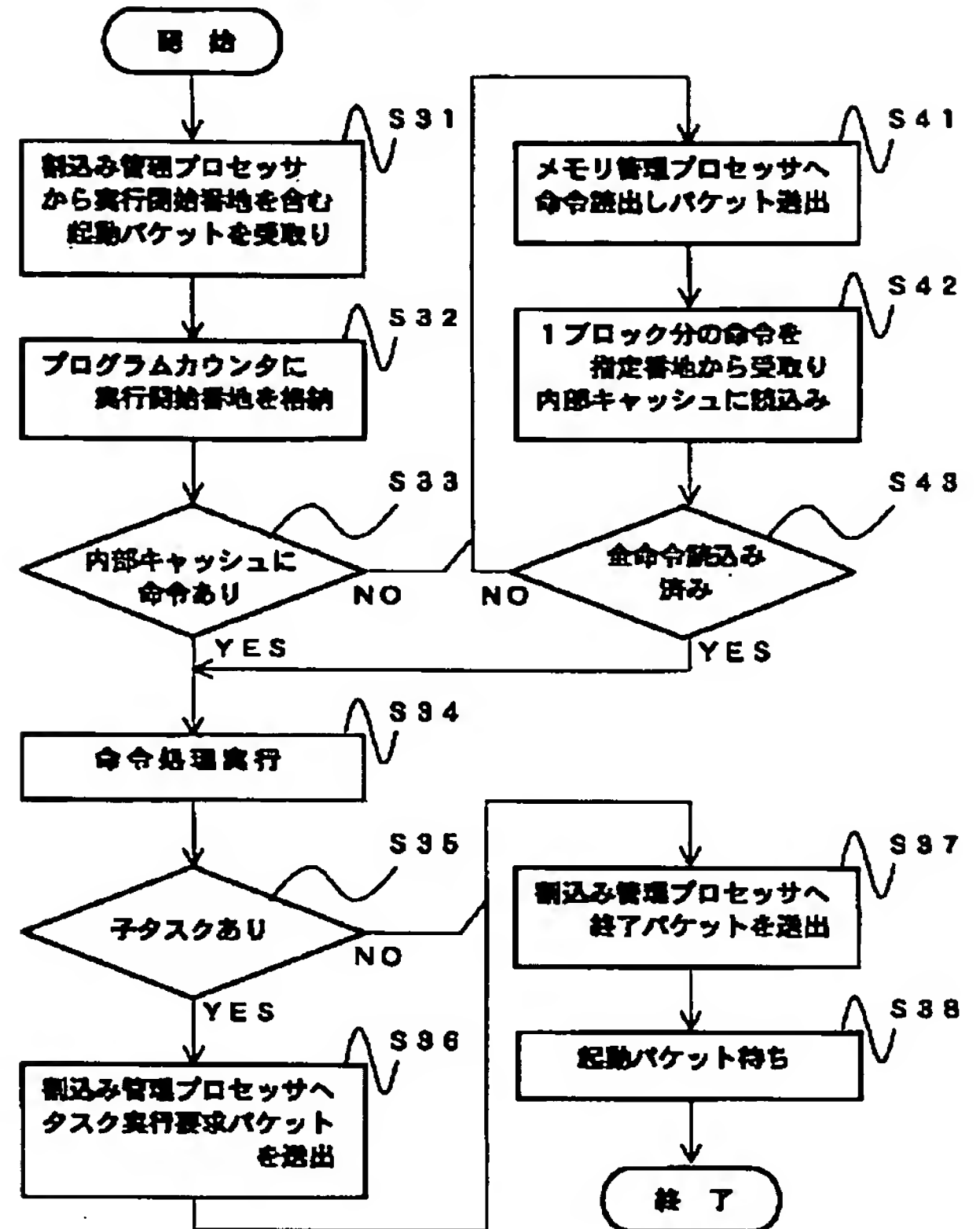


【図 8】

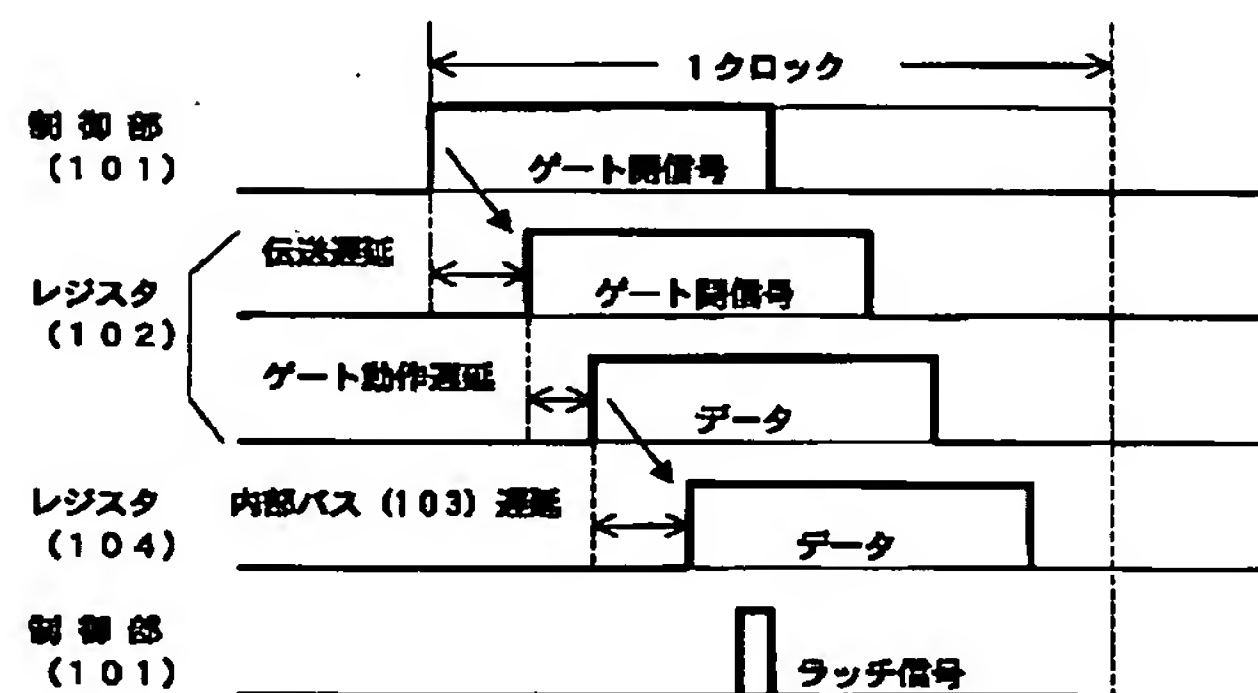


【図 7】

処理プロセッサ動作手順



【図 9】



フロントページの続き

(51)Int.C1.7

G 0 6 F 15/78

識別記号

5 1 0

F I

G 0 6 F 1/00

テーマコード (参考)

3 3 2 B

F ターム(参考) 5B011 EA08 FF03 LL06
5B013 DD01 DD05
5B045 BB34 DD01 DD11 DD12 GG11
5B062 AA03 DD01 FF02
5B077 BA02 MM02